

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-24604

(43)公開日 平成11年(1999)1月29日

(51)Int.Cl.
G 0 9 F 9/30
G 0 9 G 3/30
H 0 5 B 33/26

識別記号

F I
G 0 9 F 9/30
G 0 9 G 3/30
H 0 5 B 33/26

D
Z

審査請求 未請求 請求項の数12 O L (全13頁)

(21)出願番号 特願平9-177454

(22)出願日 平成9年(1997)7月2日

(71)出願人 000002369

セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号

(72)発明者 小澤 徳郎
長野県諏訪市大和3丁目3番5号 セイコ
ーエプソン株式会社内

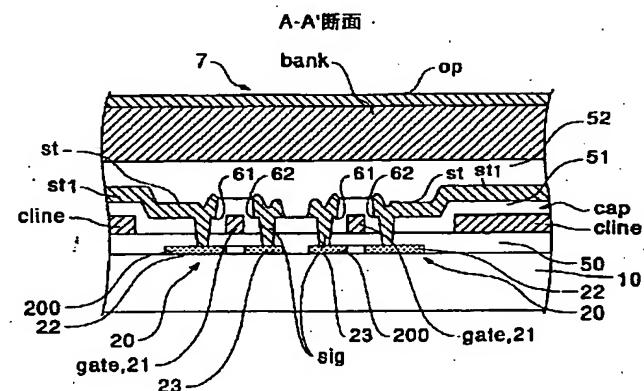
(74)代理人 弁理士 鈴木 喜三郎 (外2名)

(54)【発明の名称】 表示装置

(57)【要約】

【課題】 基板上に有機半導体膜の形成領域を規定するためのバンク層を利用して、データ線や駆動回路に容量が寄生することを防止することのできる表示装置を提供すること。

【解決手段】 エレクトロルミネッセンス素子またはLED素子のような発光素子を構成するための有機半導体膜を画素領域7に形成する際には、その周囲に黒色のレジストからなるバンク層bankを形成しておく。このバンク層bankは、画像信号を画素領域7の第1のTFT20および保持容量capに供給するデータ線sigと対向電極opとの間に形成し、データ線sigに容量が寄生するのを防止する。



(2)

【特許請求の範囲】

【請求項1】 基板上に、複数の走査線と、該走査線の延設方向に対して交差する方向に延設された複数のデータ線と、該データ線に並列する複数の共通給電線と、前記データ線と前記走査線によりマトリクス状に形成された画素領域とを有し、該画素領域の各々には、前記走査線を介して走査信号が第1のゲート電極に供給される第1の薄膜トランジスタと、該第1の薄膜トランジスタを介して前記データ線から供給される画像信号を保持する保持容量と、該保持容量によって保持された前記画像信号が第2のゲート電極に供給される第2の薄膜トランジスタと、前記画素領域毎に形成された画素電極と前記データ線を跨いで複数の前記画素電極に対応する対向電極との層間において前記画素電極が前記第2の薄膜トランジスタを介して前記共通給電線に電気的に接続したときに前記画素電極と前記対向電極との間に流れる駆動電流によって発光する有機半導体膜を具備する発光素子とを有する表示装置において、前記有機半導体膜のうち、発光領域は、前記有機半導体膜よりも厚い絶縁膜からなるバンク層で囲まれているとともに、該バンク層は前記駆動回路を覆うように構成されていることを特徴とする表示装置。

【請求項2】 請求項1において、前記基板上には、前記複数の画素領域とともに、前記データ線に対して前記画像信号を出力する第1の駆動回路、および前記走査線に対して前記走査信号を出力する第2の駆動回路のうちの少なくとも一方の駆動回路が形成されているとともに、該駆動回路は前記バンク層によって覆われていることを特徴とする表示装置。

【請求項3】 基板上に、複数の走査線と、該走査線の延設方向に対して直交する方向に延設された複数のデータ線と、該データ線に並列する複数の共通給電線と、前記データ線に対して前記画像信号を出力する第1の駆動回路、および前記走査線に対して前記走査信号を出力する第2の駆動回路のうちの少なくとも一方の駆動回路と、前記データ線と前記走査線によりマトリクス状に形成された画素領域とを有し、該画素領域の各々には、前記走査線を介して走査信号が第1のゲート電極に供給される第1の薄膜トランジスタと、該第1の薄膜トランジスタを介して前記データ線から供給される画像信号を保持する保持容量と、該保持容量によって保持された前記画像信号が第2のゲート電極に供給される第2の薄膜トランジスタと、前記画素領域毎に形成された画素電極と前記データ線を跨いで複数の前記画素電極に対応する対向電極との層間において前記画素電極が前記第2の薄膜トランジスタを介して前記共通給電線に電気的に接続したときに前記画素電極と前記対向電極との間に流れる駆動電流によって発光する有機半導体膜を具備する発光素子とを有する表示装置において、

2

前記有機半導体膜のうち、発光領域は、前記有機半導体膜よりも厚い絶縁膜からなるバンク層で囲まれているとともに、該バンク層は前記駆動回路を覆うように構成されていることを特徴とする表示装置。

【請求項4】 請求項1ないし3のいずれかにおいて、前記有機半導体膜は、インクジェット法により前記バンク層で囲まれた領域内に形成された膜であり、前記バンク層は、撥水性を有する膜であることを特徴とする表示装置。

【請求項5】 請求項1ないし3のいずれかにおいて、前記有機半導体膜は、インクジェット法により前記バンク層で囲まれた領域内に形成された膜であり、前記バンク層は、膜厚が $1\text{ }\mu\text{m}$ 以上であることを特徴とする表示装置。

【請求項6】 請求項1ないし5のいずれかにおいて、前記画素電極の形成領域のうち、前記第1の薄膜トランジスタおよび前記第2の薄膜トランジスタと重なる領域は、前記バンク層で覆われていることを特徴とする表示装置。

【請求項7】 請求項1ないし6のいずれかにおいて、前記バンク層は黒色のレジスト膜から構成されていることを特徴とする表示装置。

【請求項8】 請求項1ないし7のいずれかにおいて、前記共通給電線の単位長さ当たりの抵抗値は、前記データ線の単位長さ当たりの抵抗値よりも小さいことを特徴とする表示装置。

【請求項9】 請求項1ないし7のいずれかにおいて、前記共通給電線と前記データ線とは材料及び膜厚が同一で、かつ、前記共通給電線の線幅は、前記データ線の線幅よりも広いことを特徴とする表示装置。

【請求項10】 請求項1ないし9のいずれかにおいて、前記共通給電線の両側には、該共通給電線との間で前記駆動電流の通電が行われる画素領域が配置され、該画素領域に対して前記共通給電線とは反対側を前記データ線が通っていることを特徴とする表示装置。

【請求項11】 請求項10において、前記画素領域に対して前記共通給電線とは反対側を通る2本のデータ線の間に相当する位置には、配線層が形成されていることを特徴とする表示装置。

【請求項12】 請求項1ないし11のいずれかにおいて、前記走査線の延設方向に沿って隣接するいずれの画素領域間でも、前記有機半導体膜の形成領域の中心のピッチが等しいことを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、有機半導体膜に駆動電流が流れることによって発光するEL（エレクトロルミネッセンス）素子またはLED（発光ダイオード）素子などの発光素子を薄膜トランジスタ（以下、TFTという。）で駆動制御するアクティブマトリクス型の表

(3)

3

示装置に関するものである。さらに詳しくは、その表示特性を向上するためのレイアウトの最適化技術に関するものである。

【0002】

【従来の技術】EL素子またはLED素子などの電流制御型発光素子を用いたアクティブマトリクス型の表示装置が提案されている。このタイプの表示装置に用いられる発光素子はいずれも自己発光するため、液晶表示装置と違ってバックライトを必要とせず、また、視野角依存性が少ないなどの利点もある。

【0003】図13は、このような表示装置の一例として、電荷注入型の有機薄膜EL素子を用いたアクティブマトリクス型表示装置のブロック図を示してある。この図に示す表示装置1Aでは、透明基板上に、複数の走査線g a t eと、該走査線g a t eの延設方向に対して交差する方向に延設された複数のデータ線s i gと、該データ線s i gに並列する複数の共通給電線c o mと、データ線s i gと走査線g a t eとの交差点に対応する画素領域7とが構成されている。データ線s i gに対しては、シフトレジスタ、レベルシフタ、ビデオライン、アナログスイッチを備えるデータ側駆動回路3が構成されている。走査線に対しては、シフトレジスタおよびレベルシフタを備える走査側駆動回路4が構成されている。また、画素領域7の各々には、走査線を介して走査信号がゲート電極に供給される第1のTFT20と、この第1のTFT20を介してデータ線s i gから供給される画像信号を保持する保持容量c a pと、該保持容量c a pによって保持された画像信号がゲート電極に供給される第2のTFT30と、第2のTFT30を介して共通給電線c o mに電気的に接続したときに共通給電線c o mから駆動電流が流れ込む発光素子40とが構成されている。

【0004】すなわち、図14(A)、(B)に示すように、いずれの画素領域においても、島状の2つの半導体膜を利用して第1のTFT20および第2のTFT30が形成され、第2のTFT30のソース・ドレイン領域の一方には、第1層間絶縁膜51のコンタクトホールを介して中継電極35が電気的に接続し、該中継電極35には画素電極41が電気的に接続している。この画素電極41の上層側には、正孔注入層42、有機半導体膜43、対向電極o pが積層されている。ここで、対向電極o pは、データ線s i gなどを跨いで複数の画素領域7にわたって形成されている。

【0005】第2のTFT30のソース・ドレイン領域のもう一方には、コンタクトホールを介して共通給電線c o mが電気的に接続している。これに対して、第1のTFT20では、そのソース・ドレイン領域の一方に電気的に接続する電位保持電極s tは、ゲート電極31の延設部分310に電気的に接続している。この延設部分310に対しては、その下層側においてゲート絶縁膜5

(3)

4

0を介して半導体膜400が対向し、この半導体膜400は、それに導入された不純物によって導電化されているので、延設部分310およびゲート絶縁膜50とともに保持容量c a pを構成している。ここで、半導体膜400に対しては第1の層間絶縁膜51のコンタクトホールを介して共通給電線c o mが電気的に接続している。従って、保持容量c a pは、第1のTFT20を介してデータ線s i gから供給される画像信号を保持するので、第1のTFT20がオフになってしまっても、第2のTFT30のゲート電極31は画像信号に相当する電位に保持される。それ故、発光素子40には共通給電線c o mから駆動電流が流れ続けるので、発光素子40は発光し続けることになる。

【0006】

【発明が解決しようとする課題】しかしながら、前記の表示装置において、画素電極41に対向する対向電極o pは、液晶表示装置と相違して、同じ透明基板10上において、その表面全体、あるいは複数の画素領域7にわたって形成されるため、対向電極o pはデータ線s i gとの間に第2の層間絶縁膜52のみを有することになる。このため、データ線s i gには大きな容量が寄生することになって、従来の表示装置のままでは、データ線s i gの負荷が大きい。同様な問題点は、データ側駆動回路3や走査側駆動回路4の表面側に重なるように対向電極o pが形成されることに起因して、駆動回路に形成される配線層と対向電極との間に寄生する容量が大きく、データ側駆動回路3の負荷が大きいという問題点を引き起こす。

【0007】ここに、本発明者は、インクジェットヘッドから吐出した液状の材料から有機半導体膜を所定の領域に形成することを検討するとともに、この方法で有機半導体膜を形成する際に有機半導体膜が側方にはみ出することを防止するために有機半導体膜の形成領域をレジストなどで構成したバンク層で囲うことを検討してきた。このような構成などをを利用して、本願発明者は上記の問題点を解消することを提案する。

【0008】すなわち、本発明の課題は、基板上に有機半導体膜の形成領域を規定するためのバンク層を利用して、データ線や駆動回路に容量が寄生することを防止することのできる表示装置を提供することにある。

【0009】

【課題を解決するための手段】上記課題を解決するため、本発明では、基板上に、複数の走査線と、該走査線の延設方向に対して交差する方向に延設された複数のデータ線と、該データ線に並列する複数の共通給電線と、前記データ線と前記走査線とによりマトリクス状に形成された画素領域とを有し、該画素領域の各々には、前記走査線を介して走査信号がゲート電極に供給される第1のTFTと、該第1のTFTを介して前記データ線から供給される画像信号を保持する保持容量と、該保持容量

50

(4)

5

によって保持された前記画像信号がゲート電極に供給される第2のTFTと、前記画素領域毎に形成された画素電極と前記データ線を跨いで複数の前記画素電極に対応する対向電極との層間において前記画素電極が前記第2の薄膜トランジスタを介して前記共通給電線に電気的に接続したときに前記画素電極と前記対向電極との間に流れる駆動電流によって発光する有機半導体膜を備する発光素子とを有する表示装置において、前記有機半導体膜のうち、発光領域は、前記有機半導体膜よりも厚い絶縁膜からなるバンク層で囲まれているとともに、該バンク層は、前記データ線の少なくとも一部を覆うように構成されていることを特徴とする。

【0010】本発明において、対向電極は少なくとも画素領域の全面、あるいはストライプ状に広い領域にわたって形成され、データ線と対向する状態にある。従って、このままで、データ線に対して大きな容量が寄生することになる。しかるに本発明では、データ線と対向電極との間にバンク層が介在しているので、対向電極との間に形成される容量がデータ線に寄生することを防止できる。その結果、データ線駆動回路の負荷を低減できるので、低消費電力化あるいは表示動作の高速化を図ることができる。

【0011】本発明において、前記基板上には、前記複数の画素領域とともに、前記データ線に対して前記画像信号を出力する第1の駆動回路、または前記走査線に対して前記走査信号を出力する第2の駆動回路が形成される場合がある。このような駆動回路の形成領域も、前記の対向電極と対向していると、駆動回路に形成された配線層にも大きな容量が寄生することになる。しかるに本発明では、駆動回路もバンク層によって覆うことによって、対向電極との間に形成される容量が駆動回路に寄生することを防止できる。その結果、駆動回路の負荷を低減できるので、低消費電力化あるいは表示動作の高速化を図ることができる。

【0012】本発明において、前記有機半導体膜は、たとえば、インクジェット法により前記バンク層で囲まれた領域内に形成された膜であり、前記バンク層は、前記有機半導体膜をインクジェット法により形成する際のはみ出しを防止するための撥水性の膜である。また、前記バンク層は、前記有機半導体膜のはみ出しを防止するという観点から $1\mu m$ 以上の膜厚で構成してもよく、この場合には、前記有機半導体膜は撥水性でなくても隔壁として機能する。

【0013】本発明において、前記画素電極の形成領域のうち、前記第1のTFTおよび前記第2のTFTと重なる領域も前記バンク層で覆われていることが好ましい。本発明において、画素電極の形成領域のうち、前記第1のTFTの形成領域および前記第2のTFTの形成領域と重なる領域では、たとえ対向電極との間に駆動電流が流れて有機半導体膜が発光しても、この光は第1の

(5)

6

TFTや第1のTFTに遮られ、表示には寄与しない。かかる表示に寄与しない部分で有機半導体膜に流れる駆動電流は、表示という面からみて無効電流といえる。そこで、本発明では、従来ならこのような無効電流が流れるはずの部分にバンク層を形成し、そこに駆動電流が流れることを防止する。その結果、共通給電線に流れる電流が小さくすることができるので、その分、共通給電線の幅を狭くすれば、その結果として、その分、発光面積を増すことができ、輝度、コントラスト比などの表示性能を向上させることができる。

【0014】本発明では、前記バンク層を黒色のレジスト膜から構成することによって、それをブラックマトリクスとして利用し、表示の品位を高めることができ。すなわち、本発明に係る表示装置では、対向電極が少なくとも画素領域の全面、あるいは広い領域にわたってストライプ状に形成されると、対向電極からの反射光がコントラスト比を低下させる。しかるに本発明では、寄生容量を防止するための機能も担うバンク層を黒色のレジストで構成したため、ブラックマトリクスとしても機能する。それ故、バンク層は対向電極からの反射光を遮るので、コントラスト比が向上する。

【0015】本発明において、共通給電線には、各画素の発光素子を駆動するための駆動電流が流れるので、データ線に比較して大きな電流が流れる。そこで、本発明では、前記共通給電線の単位長さ当たりの抵抗値を、前記データ線の単位長さ当たりの抵抗値よりも小さくして、その電流容量を大きくすることが好ましい。たとえば、前記共通給電線と前記データ線とは材料及び膜厚が同一である場合には、前記共通給電線の線幅を前記データ線の線幅よりも広くする。

【0016】本発明において、前記共通給電線の両側には、該共通給電線との間で前記駆動電流の通電が行われる画素領域が配置され、該画素領域に対して前記共通給電線とは反対側を前記データ線が通っていることが好ましい。すなわち、データ線、それに接続する画素群、1本の共通給電線、それに接続する画素群、および該画素群に画素信号を供給するデータ線を1つの単位としてそれを走査線の延設方向に繰り返す。このように構成すると、2列分の画素に対して1本の共通給電線で済む。それ故、1列の画素群ごとに共通給電線を形成する場合と比較して、共通給電線の形成領域を狭めることができるので、その分、発光面積を増すことができ、輝度、コントラスト比などの表示性能を向上させることができ。

【0017】また、上記の構成によると、2本のデータ線が並列することになるため、これらのデータ線の間でクロストークが発生するおそれがある。そこで、本発明では、2本のデータ線の間に相当する位置には配線層を形成することが好ましい。このように構成すると、2本のデータ線の間にはそれらとは別の配線層が通っている

(5)

7

ので、このような配線層を少なくとも画像の1水平走査期間で固定電位としておくだけで上記のクロストークを防止できる。

【0018】本発明において、前記有機半導体膜をインクジェット法で形成するのであれば、前記走査線の延設方向に沿って隣接するいずれの画素領域間でも、前記有機半導体膜の形成領域の中心のピッチを等しくしておくことが好ましい。このように構成すると、走査線の延設方向に沿って等間隔の位置にインクジェットヘッドから前記有機半導体膜の材料を吐出させればよいので、位置制御機構が簡易で済むとともに、位置精度が向上する。

【0019】

【発明の実施の形態】図面を参照して、本発明の実施の形態を説明する。

【0020】(アクティブマトリクス基板の全体構成)図1は、表示装置の全体のレイアウトを模式的に示すプロック図である。

【0021】この図に示すように、本形態の表示装置1では、その基体たる透明基板10の中央部分が表示部2とされている。透明基板10の外周部分のうち、データ線sigの両端側には画像信号を出力するデータ側駆動回路3(第1の駆動回路)、および検査回路5が構成され、走査線gateの両端側には走査信号を出力する走査側駆動回路4(第2の駆動回路)が構成されている。これらの駆動回路3、4では、N型のTFTとP型のTFTとによって相補型TFTが構成され、この相補型TFTは、シフトレジスタ、レベルシフタ、アナログスイッチなどを構成している。なお、透明基板10上において、データ側駆動回路3よりも外周領域には、画像信号や各種の電位、パルス信号を入力するための端子群とされる実装用パッド6が形成されている。

【0022】このよう構成した表示装置1では、液晶表示装置のアクティブマトリクス基板と同様、透明基板10上に、複数の走査線gateと、該走査線gateの延設方向に対して交差する方向に延設された複数のデータ線sigとが構成され、これらのデータ線sigと走査線gateとによりマトリクス状に形成された複数の画素領域7が構成されている。

【0023】これらの画素領域7のいずれにも、図2に示すように、走査線gateを介して走査信号がゲート電極21(第1のゲート電極)に供給される第1のTFT20が構成されている。このTFT20のソース・ドレン領域の一方は、データ線sigに電気的に接続され、他方は電位保持電極stに電気的に接続されている。走査線gateに対しては容量線clineが並列配置され、この容量線clineと電位保持電極stとの間には保持容量capが形成されている。従って、走査信号によって選択されて第1のTFT20がオン状態になると、データ線sigから画像信号が第1のTFT20を介して保持容量capに書き込まれる。

8

【0024】電位保持電極stには第2のTFT30のゲート電極31(第2のゲート電極)が電気的に接続されている。第2のTFT30のソース・ドレン領域の一方は、共通給電線comに電気的に接続されている一方、他方は発光素子40の一方の電極(後述する画素電極)に電気的に接続されている。共通給電線comは、定電位に保持されている。従って、第2のTFT30がオン状態になったときに、第2のTFT30を介して共通給電線comの電流が発光素子40に流れ、発光素子40を発光させる。

【0025】但し、本形態では、共通給電線comの両側には、該共通給電線comとの間で駆動電流の供給が行われる発光素子40を有する画素領域7が配置され、これらの画素領域7に対して共通給電線comとは反対側を2本のデータ線sigが通っている。すなわち、データ線sig、それに接続する画素群、1本の共通給電線com、それに接続する画素群、および該画素群に画素信号を供給するデータ線sigを1つの単位としてそれを走査線gateの延設方向に繰り返してあり、共通給電線comは、1本で2列分の画素に対して駆動電流を供給する。従って、1列の画素群ごとに共通給電線comを形成する場合と比較して、共通給電線comの形成領域が狭くて済み、発光面積を増やすことができる。なお、このように1本の共通給電線comに2列分の画素が接続される構成としたため、データ線sigは2本ずつ並列する状態にあって、それぞれの列の画素群に対して画像信号を供給することになる。

【0026】(画素領域の構成)このように構成した表示装置1の各画素領域7の構造を図3ないし図6(A)を参照して詳述する。

【0027】図3は、本形態の表示装置1に形成されている複数の画素領域7のうちの3つの画素領域7を拡大して示す平面図、図4、図5、および図6(A)はそれぞれ、そのA-A'線における断面図、B-B'線における断面図、およびC-C'線における断面図である。

【0028】まず、図3におけるA-A'線に相当する位置では、図4に示すように、透明基板10上には各画素領域7の各々に第1のTFT20を形成するための島状のシリコン膜200が形成され、その表面にはゲート絶縁膜50が形成されている。また、ゲート絶縁膜50の表面にはゲート電極21が形成され、該ゲート電極21に対して自己整合的に高濃度の不純物が導入されたソース・ドレン領域22、23が形成されている。ゲート絶縁膜50の表面側には第1の層間絶縁膜51が形成され、この層間絶縁膜に形成されたコンタクトホール61、62を介して、ソース・ドレン領域22、23にはデータ線sig、および電位保持電極stがそれぞれ電気的に接続されている。

(6)

9

【0029】各画素領域7には走査線gateと並列するように、走査線gateやゲート電極21と同一の層間（ゲート絶縁膜50と第1の層間絶縁膜51との間）には容量線cilineが形成されており、この容量線cilineに対しては、第1の層間絶縁膜51を介して電位保持電極stの延設部分st1が重なっている。このため、容量線cilineと電位保持電極stの延設部分st1とは、第1の層間絶縁膜51を誘電体膜とする保持容量capを構成している。なお、電位保持電極stおよびデータ線sigの表面側には第2の層間絶縁膜52が形成されている。

【0030】図3におけるB-B'線に相当する位置では、図5に示すように、透明基板10上に形成された第1の層間絶縁膜51および第2の層間絶縁膜52の表面に各画素領域7に対応するデータ線sigが2本、並列している状態にある。

【0031】図3におけるC-C'線に相当する位置では、図6(A)に示すように、透明基板10上には共通給電線comを挟む2つの画素領域7に跨がるように、第2のTFT30を形成するための島状のシリコン膜300が形成され、その表面にはゲート絶縁膜50が形成されている。また、ゲート絶縁膜50の表面には、共通給電線comを挟むように、各画素領域7の各々にゲート電極31がそれぞれ形成され、このゲート電極31に対して自己整合的に高濃度の不純物が導入されたソース・ドレイン領域32、33が形成されている。ゲート絶縁膜50の表面側には第1の層間絶縁膜51が形成され、この層間絶縁膜に形成されたコンタクトホール63を介して、ソース・ドレイン領域62に中継電極35が電気的に接続されている。一方、シリコン膜300の中央の2つの画素領域7において共通のソース・ドレイン領域33となる部分に対しては、第1の層間絶縁膜51のコンタクトホール64を介して、共通給電線comが電気的に接続されている。これらの共通給電線com、および中継電極35の表面には第2の層間絶縁膜52が形成されている。第2の層間絶縁膜52の表面にはITO膜からなる画素電極41が形成されている。この画素電極41は、第2の層間絶縁膜52に形成されたコンタクトホール65を介して中継電極35に電気的に接続され、また中継電極35を介して第2のTFT30のソース・ドレイン領域32に電気的に接続されている。

【0032】ここで、画素電極41は発光素子40の一方の電極を構成している。すなわち、画素電極41の表面には正孔注入層42および有機半導体膜43が積層され、さらに有機半導体膜43の表面には、リチウム含有アルミニウム、カルシウムなどの金属膜からなる対向電極opが形成されている。この対向電極opは、少なくとも画素領域41の全面、あるいはストライプ状に形成された共通の電極であって、一定の電位に保持されている。

10

【0033】このように構成された発光素子40では、対向電極opおよび画素電極41をそれぞれ正極および負極として電圧が印加され、図7に示すように、印加電圧がしきい値電圧を超えた領域で有機半導体膜43に流れる電流（駆動電流）が急激に増大する。その結果、発光素子40は、エレクトロルミネッセンス素子あるいはLED素子として発光し、発光素子40の光は、対向電極opに反射されて透明な画素電極41および透明基板10を透過して出射される。

【0034】このような発光を行うための駆動電流は、対向電極op、有機半導体膜43、正孔注入層42、画素電極41、第2のTFT30、および共通給電線comから構成される電流経路を流れるため、第2のTFT30がオフ状態になると、流れなくなる。但し、本形態の表示装置1では、走査信号によって選択されて第1のTFT20がオン状態になると、データ線sigから画像信号が第1のTFT20を介して保持容量capに書き込まれる。従って、第2のTFT30のゲート電極は、第1のTFT20がオフ状態になっても、保持容量capによって画像信号に相当する電位に保持されるので、第2のTFT30はオン状態のままである。それ故、発光素子40には駆動電流が流れ続け、この画素は点灯状態のままである。この状態は、新たな画像データが保持容量capに書き込まれて、第2のTFT30がオフ状態になるまで維持される。

【0035】(表示装置の製造方法)このように構成した表示装置1の製造方法では、透明基板10上に第1のTFT20および第2のTFT30を製造するまでの工程は、液晶表示装置1のアクティブマトリクス基板を製造する工程と略同様であるため、図8を参照してその概要を説明する。

【0036】図8は、表示装置1の各構成部分を形成していく過程を模式的に示す工程断面図である。

【0037】すなわち、図8(A)に示すように、透明基板10に対して、必要に応じて、TEOS(テトラエトキシシラン)や酸素ガスなどを原料ガスとしてプラズマCVD法により厚さが約2000~5000オングストロームのシリコン酸化膜からなる下地保護膜(図示せず。)を形成する。次に基板の温度を約350℃に設定して、下地保護膜の表面にプラズマCVD法により厚さが約300~700オングストロームのアモルファスのシリコン膜からなる半導体膜100を形成する。次にアモルファスのシリコン膜からなる半導体膜100に対して、レーザアニールまたは固相成長法などの結晶化工程を行い、半導体膜100をポリシリコン膜に結晶化する。レーザアニール法では、たとえば、エキシマレーザでビームの長寸が400mmのラインビームを用い、その出力強度はたとえば200mJ/cm²である。ラインビームについてはその短寸方向におけるレーザ強度のピーク値の90%に相当する部分が各領域毎に重なるよ

(7)

11

うにラインピームを走査していく。

【0038】次に、図8 (B) に示すように、半導体膜100をバーニングして島状の半導体膜200、300とし、その表面に対して、TEOS(テトラエトキシシラン)や酸素ガスなどを原料ガスとしてプラズマCVD法により厚さが約600～1500オングストロームのシリコン酸化膜または窒化膜からなるゲート絶縁膜50を形成する。

【0039】次に、図8 (C) に示すように、アルミニウム、タンタル、モリブデン、チタン、タングステンなどの金属膜からなる導電膜をスパッタ法により形成した後、バーニングし、ゲート電極21、31を形成する(ゲート電極形成工程)。この工程では、走査線gateおよび容量線c lineも形成する。なお、図中、310は、ゲート電極31の延設部分である。

【0040】この状態で、高濃度のリンイオンを打ち込んで、シリコン薄膜200、300にはゲート電極21、31に対して自己整合的にソース・ドレイン領域22、23、32、33を形成する。なお、不純物が導入されなかった部分がチャネル領域27、37となる。

【0041】次に、図8 (D) に示すように、第1の層間絶縁膜51を形成した後、コンタクトホール61、62、63、64、69を形成し、データ線sig、容量線c lineおよびゲート電極31の延設部分310に重なる延設部分st1を備える電位保持電極st、共通給電線com、および中継電極35を形成する。その結果、電位保持電極stはコンタクトホール69および延設部分310を介してゲート電極31に電気的に接続する。このようにして第1のTFT20および第2のTFT30を形成する。また、容量線c lineと電位保持電極stの延設部分st1によって保持容量capが形成される。

【0042】次に、図8 (E) に示すように、第2の層間絶縁膜52を形成し、この層間絶縁膜には、中継電極35に相当する部分にコンタクトホール65を形成する。次に、第2の層間絶縁膜52の表面全体にITO膜を形成した後、バーニングし、コンタクトホール65を介して第2のTFT30のソース・ドレイン領域32に電気的に接続する画素電極41を形成する。

【0043】次に、図8 (F) に示すように、第2の層間絶縁膜52の表面側に黒色のレジスト層を形成した後、このレジストを発光素子40の正孔注入層42および有機半導体膜43を形成して発光領域とすべき領域を囲むように残し、バンク層bankを形成する。ここで、有機半導体膜43は、各画素毎に独立して、たとえば箱状に形成される場合、データ線sigに沿ってストライプ状に形成される場合などのいずれの場合であっても、それに対応する形状にバンク層bankを形成するだけで、本形態に係る製造方法を適用できる。

【0044】次に、バンク層bankの内側領域に対し

12

てインクジェットヘッドIJから、正孔注入層42を構成するための液状の材料(前駆体)を吐出し、バンク層bankの内側領域に正孔注入層42を形成する。同様に、バンク層bankの内側領域に対してインクジェットヘッドIJから、有機半導体膜43を構成するための液状の材料(前駆体)を吐出し、バンク層bankの内側領域に有機半導体膜43を形成する。ここで、バンク層bankはレジストから構成されているため、撥水性である。これに対して、有機半導体膜43の前駆体は親水性の溶媒を用いているため、有機半導体膜43の塗布領域はバンク層bankによって確実に規定され、隣接する画素にはみ出ることがない。それ故、有機半導体膜43などを所定領域内だけに形成できる。但し、予めバンク層bankからなる隔壁が1μmほどの高さであれば、バンク層bankが撥水性でなくても、バンク層bankは隔壁として十分に機能する。なお、バンク層bankを形成しておけば、インクジェット法に代えて、塗布法で正孔注入層42や有機半導体膜43を形成する場合でもその形成領域を規定できる。

【0045】このように、有機半導体膜43や正孔注入層42をインクジェット法により形成する場合には、その作業効率を高めるために、本形態では、図3に示すように、走査線gateの延設方向に沿って隣接するいずれの画素領域7間でも、前記有機半導体膜43の形成領域の中心のピッチPを等しくしてある。従って、矢印Qで示すように、走査線gateの延設方向に沿って等間隔の位置にインクジェットヘッドIJから有機半導体膜43の材料などを吐出すればよいので、作業効率がよいという利点がある。また、インクジェットヘッドIJが等ピッチの移動で良いということにより、インクジェットヘッドIJの移動機構が簡易になり、かつ、インクジェットヘッドIJの打ち込み精度を高めるのも容易になる。

【0046】しかる後には、図8 (G) に示すように、透明基板10の表面全体に対して、あるいはストライプ状に対向電極opを形成する。なお、バンク層bankについては、それが黒色のレジストから構成されているので、そのまま残し、以下に説明するように、ブラックマトリクスBM、および寄生容量を低減するための絶縁層として利用する。

【0047】なお、図1に示すデータ側駆動回路3や走査側駆動回路4にもTFTが形成されるが、これらのTFTは前記の画素領域7にTFTを形成していく工程の全部あるいは一部を援用して行われる。それ故、駆動回路を構成するTFTも、画素領域7のTFTと同一の層間に形成されることになる。

【0048】また、前記第1のTFT20、および第2のTFT30については、双方がN型、双方がP型、一方がN型で他方がP型のいずれでもよいが、このようないずれの組合せであっても周知の方法でTFTを形成し

(8)

13

ていけるので、その説明を省略する。

【0049】なお、発光素子40としては、発光効率(正孔注入率)がやや低下するものの、正孔注入層42を省くこともある。また、正孔注入層42に代えて電子注入層を有機半導体膜43に対して正孔注入層42とは反対側に形成する場合、正孔注入層42および電子注入層の双方を形成する場合がある。

【0050】(バンク層の形成領域)本形態では、図1に示す透明基板10の周辺領域の総てに対して、前記のバンク層bank(形成領域に斜線を付してある。)を形成する。従って、データ側駆動回路3および走査側駆動回路4はいずれも、バンク層bankによって覆われている。このため、これらの駆動回路の形成領域に対して対向電極opが重なる状態にあっても、駆動回路の配線層と対向電極opとの間にバンク層bankが介在することになる。それ故、駆動回路3、4に容量が寄生することを防止できるため、駆動回路3、4の負荷を低減でき、低消費電力化あるいは表示動作の高速化を図ることができる。

【0051】また、本形態では、図3ないし図5に示すように、データ線sigに重なるようにバンク層bankを形成してある。従って、データ線sigと対向電極opとの間にバンク層bankが介在することになるので、データ線sigに容量が寄生することを防止できる。その結果、データ側駆動回路3の負荷を低減できるので、低消費電力化あるいは表示動作の高速化を図ることができる。

【0052】さらに、本形態では、図3、図4、および図6(A)に示すように、画素電極41の形成領域のうち、中継電極35と重なる領域にもバンク層bankが形成されている。図6(B)に示すように、例えば、中継電極35と重なる領域にバンク層bankがないと、対向電極opとの間に駆動電流が流れても有機半導体膜43が発光しても、この光は中継電極35と対向電極opとの間に挟まれて外に出射されず、表示に寄与しない。かかる表示に寄与しない部分で流れる駆動電流は、表示という面からみて無効電流といえる。しかるに本形態では、従来ならこのような無効電流が流れるはずの部分にバンク層bankを形成し、そこに駆動電流が流れるこれを防止するので、共通給電線comに無駄な電流が流れることが防止できる。それ故、共通給電線comの幅はその分、狭くてよい。

【0053】たとえば、本形態では、共通給電線comには、データ線sigと違って、発光素子40を駆動するための大きな電流が流れ、しかも、2列分の画素に対して駆動電流を供給する。それ故、共通給電線comについては、データ線sigと同一の材料から構成されているが、その線幅をデータ線sigの線幅よりも広く設定してあるため、共通給電線comの単位長さ当たりの抵抗値は、データ線sigの単位長さ当たりの抵抗値よ

(8)

14

りも小さい。それでも、本形態では、共通給電線comに前記の無効電流が流れることを抑えることによって、共通給電線comの線幅については必要最小限の線幅としてあるので、画素領域7の発光面積を増すことができ、輝度、コントラスト比などの表示性能を向上させることができる。

【0054】また、前記のようにバンク層bankを形成しておくと、バンク層bankはブラックマトリクスとして機能し、コントラスト比などの表示の品位が向上する。すなわち、本形態に係る表示装置1では、対向電極opが透明基板10の表面側において画素領域7の全面、あるいは広い領域にわたってストライプ状に形成されるため、対向電極opでの反射光がコントラスト比を低下させる。しかしに本形態では、寄生容量を防止するための機能も担うバンク層bankを黒色のレジストで構成したため、バンク層bankはブラックマトリクスとしても機能し、対向電極opからの反射光を遮るので、コントラスト比が向上する。

【0055】[上記形態の改良例] 上記形態では、共通給電線comの両側のそれぞれに、該共通給電線comとの間で駆動電流が流れる画素領域7が配置され、該画素領域7に対して前記共通給電線comとは反対側を2本のデータ線sigが並列して通っている。従って、2本のデータ線sigの間でクロストークが発生するおそれがある。そこで、本形態では、図9、図10.(A)、(B)に示すように、2本のデータ線sigの間に相当する位置には、ダミーの配線層DAを形成してある。このダミーの配線層DAとしては、たとえば、画素電極41と同時形成されたITO膜DA1を利用することができる。また、ダミーの配線層DAとしては、2本のデータ線sigの間に容量線clineからの延設部分DA2を構成してもよい。これらの双方をダミーの配線層DAとして用いてもよい。

【0056】このように構成すると、並列する2本のデータ線sigの間にはそれらとは別の配線層DAが通っているので、このような配線層DA(DA1、DA2)を少なくとも画像の1水平走査期間内で固定電位としておくだけで、上記のクロストークを防止できる。すなわち、第1の層間絶縁膜51および第2の層間絶縁膜52は、膜厚が凡そ $1.0\mu m$ であるのに対して、2本のデータ線sig2本の間隔は約 $2\mu m$ 以上であるため、各データ線sigとダミーの配線層DA(DA1、DA2)との間に構成される容量に比して、2本のデータ線sigの間に構成される容量は十分に無視できる。それ故、データ線sigから漏れた高周波数の信号はダミーの配線層DAで吸収されるので、2本のデータ線sigの間でのクロストークを防止できる。

【0057】[その他の形態] なお、上記形態では、保持容量capを構成するのに容量線cline(容量電極)を形成したが、従来技術で説明したように、TFT

(9)

15

を構成するためのポリシリコン膜を利用して保持容量 c_{ap} を構成してもよい。

【0058】また、図11に示すように、共通給電線 c_{om} と電位保持電極 s_t との間に保持容量 c_{ap} を構成してもよい。この場合には、図12(A)、(B)に示すように、電位保持電極 s_t とゲート電極31とを電気的に接続させるためのゲート電極31の延設部分310を共通給電線 c_{om} の下層側にまで拡張し、この延設部分310と共に電線 c_{om} との間の位置する第1の層間絶縁膜51を誘電体膜とする保持容量 c_{ap} を構成すればよい。

【0059】

【発明の効果】以上説明したように、本発明に係る表示装置では、発光素子を構成する有機半導体膜の形成領域を規定する絶縁性のバンク層をデータ線と対向電極との間、または駆動回路と対向電極との間に介在させることに特徴を有する。従って、データ線や駆動回路に重なるように対向電極を形成しても、データ線や駆動回路の配線層に容量が寄生することを防止できる。それ故、駆動回路の負荷を低減できるとともに、画像信号の高周波数化を図ることができる。

【図面の簡単な説明】

【図1】本発明を適用した表示装置、およびそれに形成したバンク層の形成領域を模式的に示す説明図である。

【図2】本発明を適用した表示装置のブロック図である。

【図3】本発明を適用した表示装置の画素領域を拡大して示す平面図である。

【図4】図3のA-A'線における断面図である。

【図5】図3のB-B'線における断面図である。

【図6】(A)は図3のC-C'線における断面図、(B)はバンク層の形成領域を中継電極を覆うまで拡張しない構造の断面図である。

【図7】図1に示す表示装置に用いた発光素子のI-V特性を示すグラフである。

【図8】本発明を適用した表示装置の製造方法を示す工程断面図である。

【図9】図1に示す表示装置の改良例を示すブロック図である。

【図10】(A)は、図9に示す表示装置に形成したダ

(9)

16

ミーの配線層を示す断面図、(B)はその平面図である。

【図11】図1に示す表示装置の変形例を示すブロック図である。

【図12】(A)は、図11に示す表示装置に形成した画素領域を拡大して示す平面図、(B)はその断面図である。

【図13】従来の表示装置のブロック図である。

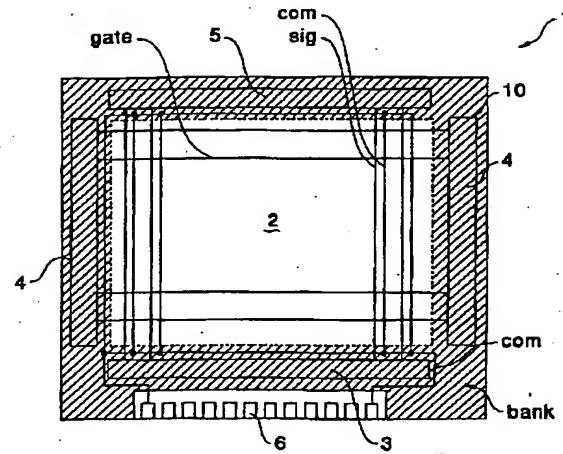
【図14】(A)は、図13に示す表示装置に形成した画素領域を拡大して示す平面図、(B)はその断面図である。

【符号の説明】

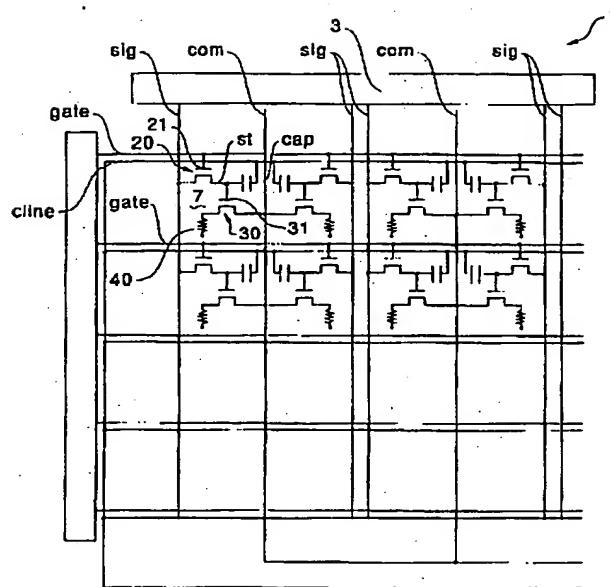
| | |
|-----------|-------------------|
| 1 | 表示装置 |
| 2 | 表示部 |
| 3 | データ側駆動回路(第1の駆動回路) |
| 4 | 走査側駆動回路(第2の駆動回路) |
| 5 | 検査回路 |
| 6 | 実装用パッド |
| 7 | 画素領域 |
| 20 | 透明基板 |
| 10 | 第1のTFT |
| 20 | 第1のTFTのゲート電極 |
| 21 | 第2のTFT |
| 30 | 第2のTFTのゲート電極 |
| 31 | 発光素子 |
| 40 | 膜画素電極 |
| 41 | 正孔注入層 |
| 42 | 有機半導体膜 |
| 43 | ゲート絶縁膜 |
| 50 | 第1の層間絶縁膜 |
| 51 | 第2の層間絶縁膜 |
| 52 | ダミーの配線層 |
| D A | バンク層 |
| b a n k | 保持容量 |
| c a p | 容量線 |
| c l i n e | 共通給電線 |
| c o m | 走査線 |
| g a t e | 対向電極 |
| o p | データ線 |
| s i g | 電位保持電極 |
| s t | |

(10)

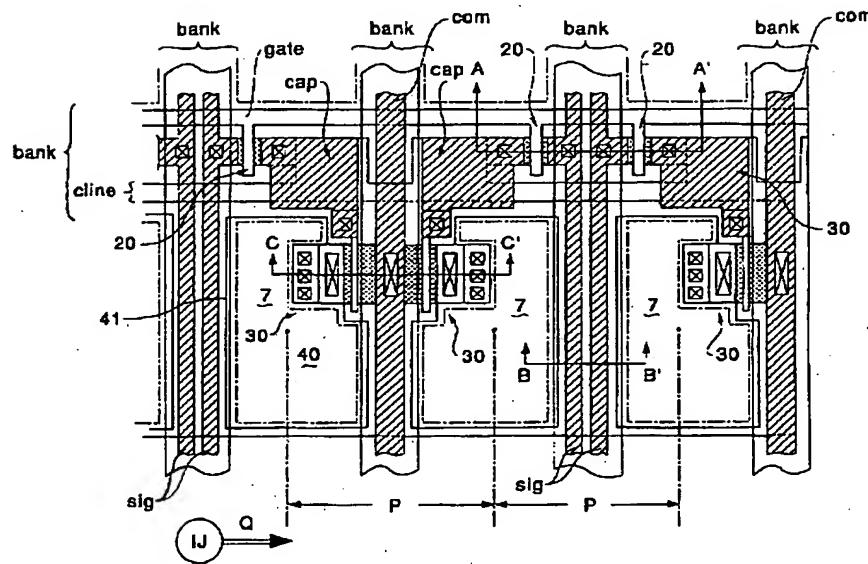
【图1】



【図2】

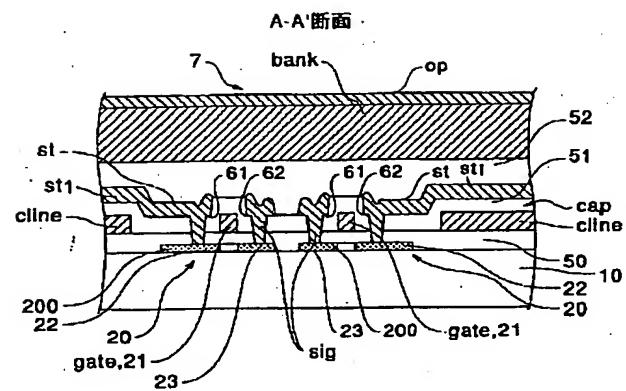


【图3】

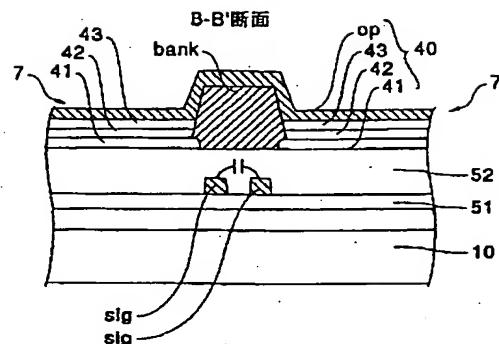


(11)

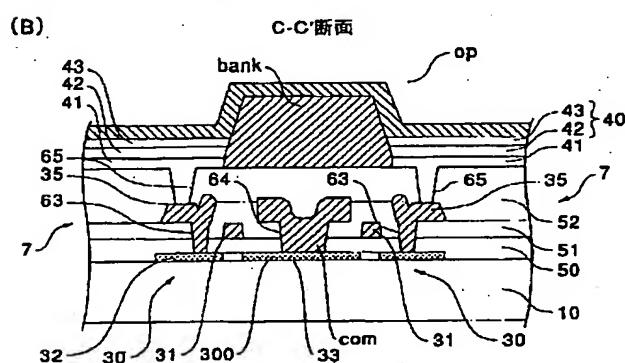
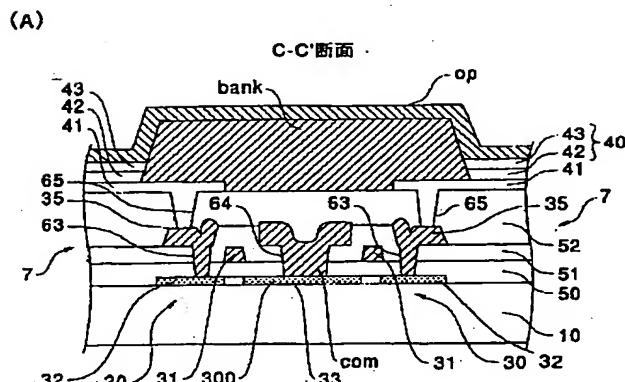
【図4】



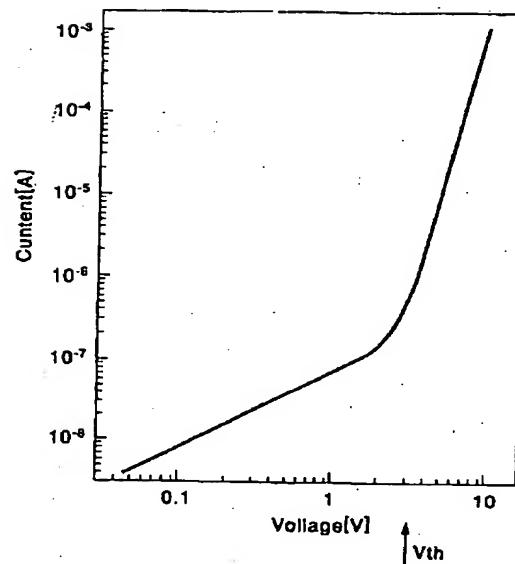
【図5】



【図6】

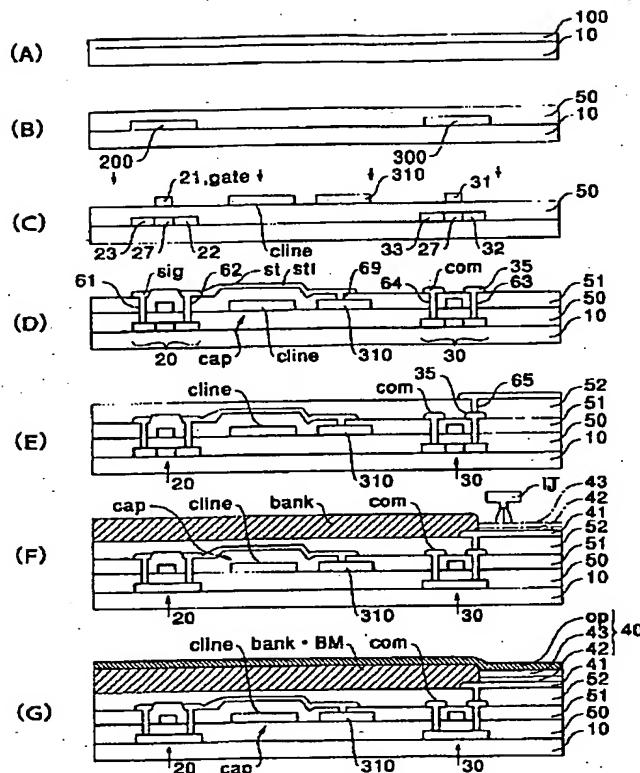


【図7】

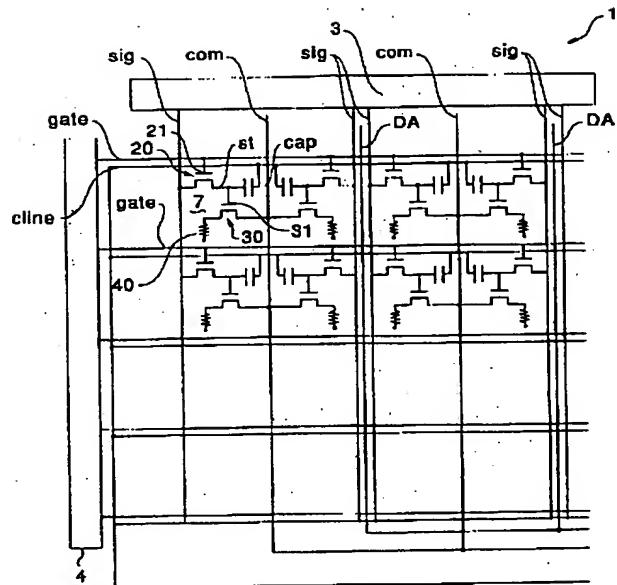


(12)

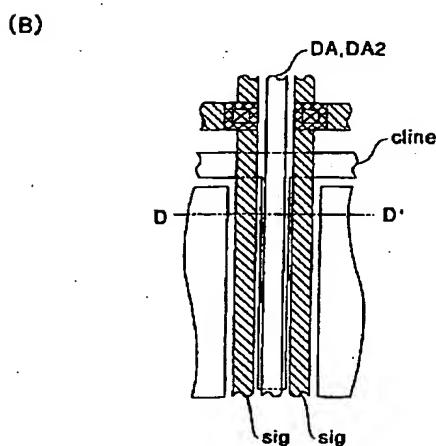
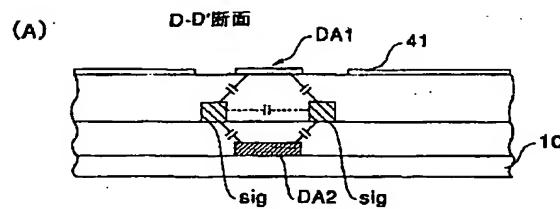
【図 8】



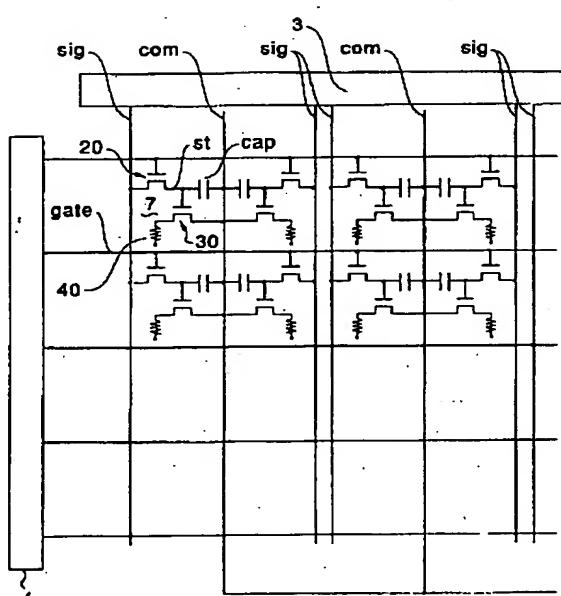
【図 9】



【図 10】

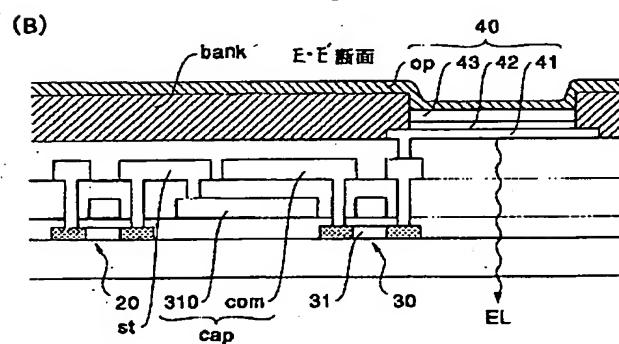
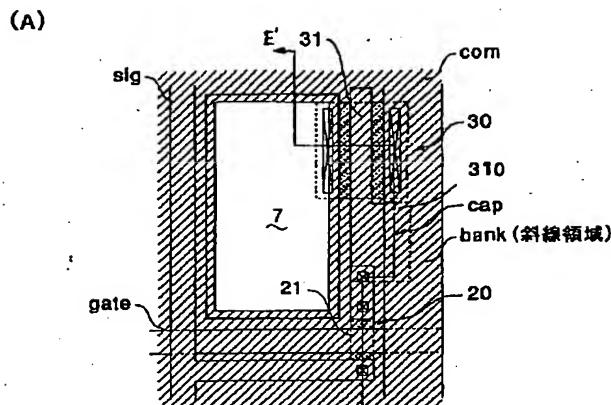


【図 11】

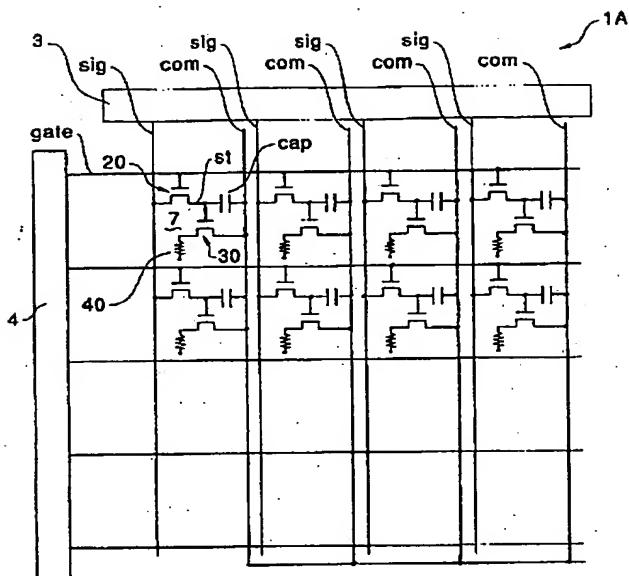


(13)

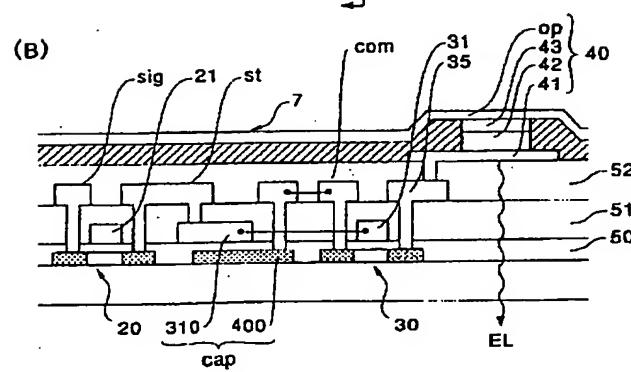
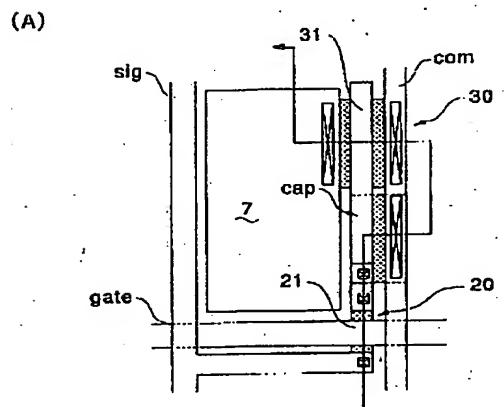
【図12】



【図13】



【図14】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-024604

(43)Date of publication of application : 29.01.1999

(51)Int.CI.

G09F 9/30

G09G 3/30

H05B 33/26

(21)Application number : 09-177454

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 02.07.1997

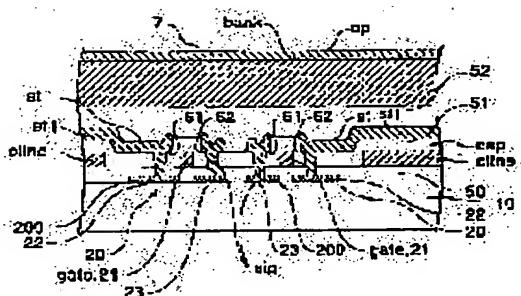
(72)Inventor : OZAWA NORIO

(54) DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent a capacitance from being parasitized on a data line or driving circuit by utilizing a bank layer for regulating the forming area of an organic semiconductor film on a substrate.

SOLUTION: When an organic semiconductor film for constituting a light emitting element as electroluminescence element or LED element is formed in a pixel area 7, a bank layer bank consisting of black resist is formed around it. This bank layer bank is also formed between a data line sig for supplying an image signal to a first TFT 20 and a holding capacitance cap of the pixel area 7 and an opposite electrode op to prevent a capacitance from being parasitized on the data line sig.



LEGAL STATUS

[Date of request for examination] 10.11.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

[rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] On a substrate, there are two or more scanning lines. Two or more data lines installed in the direction which crosses to the installation direction of this scanning line. Two or more common feeders arranged in parallel in this data line. The 1st thin film transistor which has a pixel field formed in the shape of a matrix by said data line and said scanning line and by which a scan signal is supplied to each of this pixel field through said scanning line at the 1st gate electrode. Retention volume holding a picture signal supplied from said data line through this 1st thin film transistor. The 2nd thin film transistor by which said picture signal held with this retention volume is supplied to the 2nd gate electrode. In between layers of a pixel electrode formed for said every pixel field, and a counterelectrode corresponding to said two or more pixel electrodes ranging over said data line. An organic-semiconductor film which emits light according to drive current which flows between said pixel electrodes and said counterelectrodes when said pixel electrode connects with said common feeder electrically through said 2nd thin-film transistor. It is the display equipped with the above, and while a luminescence field is surrounded among said organic-semiconductor films in a bank layer which consists of an insulator layer thicker than said organic-semiconductor film, this bank layer is characterized by being constituted so that said a part of data line [at least] may be covered.

[Claim 2] It is the display characterized by covering this drive circuit with said bank layer while setting and forming one [at least] drive circuit of the 1st drive circuit which outputs said picture signal to said data line with said two or more pixel fields, and the 2nd drive circuit which outputs said scan signal to said scanning line on said substrate claim 1.

[Claim 3] On a substrate, there are two or more scanning lines. Two or more data lines installed in the direction which intersects perpendicularly to the installation direction of this scanning line. Two or more common feeders arranged in parallel in this data line. One [at least] drive circuit of the 1st drive circuit which outputs said picture signal to said data line, and the 2nd drive circuit which outputs said scan signal to said scanning line. It has a pixel field formed in the shape of a matrix by said data line and said scanning line. To each of this pixel field The 1st thin film transistor by which a scan signal is supplied to the 1st gate electrode through said scanning line. Retention volume holding a picture signal supplied from said data line through this 1st thin film transistor. The 2nd thin film transistor by which said picture signal held with this retention volume is supplied to the 2nd gate electrode. In between layers of a pixel electrode formed for said every pixel field, and a counterelectrode corresponding to said two or more pixel electrodes ranging over said data line. An organic-semiconductor film which emits light according to drive current which flows between said pixel electrodes and said counterelectrodes when said pixel electrode connects with said common feeder electrically through said 2nd thin-film transistor. It is the display equipped with the above, and while a luminescence field is surrounded among said organic-semiconductor films in a bank layer which consists of an insulator layer thicker than said organic-semiconductor film, it is characterized by constituting this bank layer so that said drive circuit may be covered.

[Claim 4] It is the display characterized by for said organic-semiconductor film being a film formed in a field surrounded in said bank layer by the ink jet method in claim 1 thru/or either of 3, and said bank layer being a film which has water repellence.

[Claim 5] It is the display with which said organic-semiconductor film is a film formed in a field surrounded

in said bank layer by the ink jet method in claim 1 thru/or either of 3, and said bank layer is characterized by thickness being 1 micrometers or more.

[Claim 6] A field which laps with said 1st thin film transistor and said 2nd thin film transistor among formation fields of said pixel electrode in claim 1 thru/or either of 5 is a display characterized by being covered in said bank layer.

[Claim 7] It is the display characterized by said bank layer consisting of black resist films in claim 1 thru/or either of 6.

[Claim 8] It is the display characterized by resistance per unit length of said common feeder being smaller than resistance per unit length of said data line in claim 1 thru/or either of 7.

[Claim 9] It is the display characterized by said common feeder and said data line having a material and same thickness in claim 1 thru/or either of 7, and line breadth of said common feeder being wider than line breadth of said data line.

[Claim 10] It is the display which a pixel field where energization of said drive current is performed on both sides of said common feeder between these common feeders in claim 1 thru/or either of 9 is arranged, and is characterized by said data line running along the opposite side, as for said common feeder to this pixel field.

[Claim 11] A display characterized by forming a wiring layer in a location which corresponds between the two data lines which pass along the opposite side with said common feeder to said pixel field in claim 10.

[Claim 12] A display with which a pitch of a center of a formation field of said organic-semiconductor film is characterized by equal thing in claim 1 thru/or either of 11 also between which pixel fields which adjoin along the installation direction of said scanning line.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention relates to the display of the active-matrix mold which carries out drive control of the light emitting devices, such as EL (electroluminescence) element which emits light when drive current flows on an organic-semiconductor film, or an LED (light emitting diode) element, by the thin film transistor (henceforth TFT). It is related with the optimization technology of the layout for improving the display property in more detail.

[0002]

[Description of the Prior Art] The display of the active-matrix mold using current control mold light emitting devices, such as an EL element or an LED element, is proposed. In order that each light emitting device used for this type of indicating equipment may carry out self-luminescence, unlike a liquid crystal display, it does not need a back light, and also has an advantage, like there are few angle-of-visibility dependencies.

[0003] Drawing 13 has shown the block diagram of the active-matrix mold indicating equipment which used the organic thin film EL element of a charge impregnation mold as an example of such an indicating equipment. The pixel field 7 corresponding to the crossing of two or more data lines sig installed in the direction which crosses on a transparency substrate to the installation direction of two or more scanning lines gate and this scanning line gate, two or more common feeders com and the data line sig which are arranged in parallel in this data line sig, and the scanning line gate consists of display 1A shown in this drawing. To the data line sig, the shift register, the level shifter, the video line, and the data side drive circuit 3 equipped with an analog switch are constituted. To the scanning line, the scan side drive circuit 4 equipped with a shift register and a level shifter is constituted. Moreover, 1st TFT20 by which a scan signal is supplied to each of the pixel field 7 through the scanning line at a gate electrode, The retention volume cap holding the picture signal supplied from the data line sig through this 1st TFT20, When the picture signal held with this retention volume cap connects with the common feeder com electrically through 2nd TFT30 supplied to a gate electrode, and 2nd TFT30, the light emitting device 40 into which drive current flows consists of common feeders com.

[0004] Namely, as shown in drawing 14 (A) and (B), it also sets to which pixel field. The 1st TFT20 and 2nd TFT30 are formed using two island-like semiconductor films. To one side of the source drain field of 2nd TFT30 The junction electrode 35 connected electrically through the KONTAKU hole of the 1st interlayer insulation film 51, and the pixel electrode 41 has connected with this junction electrode 35 electrically. The laminating of the hole-injection layer 42, the organic-semiconductor film 43, and the counterelectrode op is carried out to the upper layer side of this pixel electrode 41. Here, Counterelectrode op is formed over two or more pixel fields 7 ranging over the data line sig etc.

[0005] The common feeder com has connected with another side of the source drain field of 2nd TFT30 electrically through a contact hole. On the other hand, in 1st TFT20, the potential maintenance electrode st electrically connected to one side of the source drain field is electrically connected to the installation portion 310 of the gate electrode 31. To this installation portion 310, the semiconductor film 400 counters that lower layer side through the gate insulator layer 50, and since this semiconductor film 400 is electric-conduction-ized with the impurity introduced into it, it constitutes retention volume cap with the

installation portion 310 and the gate insulator layer 50. Here, to the semiconductor film 400, the common feeder com has connected electrically through the contact hole of the 1st interlayer insulation film 51. Therefore, since retention volume cap holds the picture signal supplied from the data line sig through 1st TFT20, even if 1st TFT20 becomes off, the gate electrode 31 of 2nd TFT30 is held at the potential equivalent to a picture signal. So, since drive current continues flowing from the common feeder com to a light emitting device 40, a light emitting device 40 will continue emitting light.

[0006]

[Problem(s) to be Solved by the Invention] However, in the aforementioned display, since the counterelectrode op which counters the pixel electrode 41 is different from a liquid crystal display and it is formed over the whole surface or two or more pixel fields 7 on the same transparency substrate 10, Counterelectrode op will have only the 2nd interlayer insulation film 52 between the data lines sig. For this reason, a big capacity will be parasitic on the data line sig, and the load of the data line sig is large with the conventional indicating equipment. The same trouble originates in Counterelectrode op being formed so that it may lap with the surface side of the data side drive circuit 3 or the scan side drive circuit 4, and its capacity which is parasitic between the wiring layers and counterelectrodes which are formed in a drive circuit is large, and it causes the trouble that the load of the data side drive circuit 3 is large.

[0007] It has examined enclosing the formation field of an organic-semiconductor film here in the bank layer constituted from a resist etc., in order that this invention person may prevent that an organic-semiconductor film overflows in the side in case an organic-semiconductor film is formed by this method, while examining forming an organic-semiconductor film in a predetermined field from the liquefied material breathed out from the ink jet arm head. An invention-in-this-application person proposes canceling the above-mentioned trouble using such a configuration etc.

[0008] That is, the technical problem of this invention is to offer the display which can prevent that capacity is parasitic on the data line or a drive circuit using the bank layer for specifying the formation field of an organic-semiconductor film on a substrate.

[0009]

[Means for Solving the Problem] In order to solve the above-mentioned technical problem, in this invention, on a substrate Two or more scanning lines, Two or more data lines installed in the direction which crosses to the installation direction of this scanning line, It has a pixel field formed in the shape of a matrix by two or more common feeders arranged in parallel in this data line, and said data line and said scanning line. To each of this pixel field The 1st TFT by which a scan signal is supplied to a gate electrode through said scanning line, Retention volume holding a picture signal supplied from said data line through this 1st TFT, The 2nd TFT by which said picture signal held with this retention volume is supplied to a gate electrode, In between layers of a pixel electrode formed for said every pixel field, and a counterelectrode corresponding to said two or more pixel electrodes ranging over said data line In a display which has a light emitting device possessing an organic-semiconductor film which emits light according to drive current which flows between said pixel electrodes and said counterelectrodes when said pixel electrode connects with said common feeder electrically through said 2nd thin-film transistor a luminescence field among said organic-semiconductor films While being surrounded in a bank layer which consists of an insulator layer thicker than said organic-semiconductor film, this bank layer is characterized by being constituted so that said a part of data line [at least] may be covered.

[0010] In this invention, a counterelectrode is formed over a field large the shape of the whole surface or a stripe of a pixel field at least, and is in the condition of countering with the data line. Therefore, the way things stand, a big capacity will be parasitic to the data line. However, in this invention, since a bank layer intervenes between the data line and a counterelectrode, it can prevent that capacity formed between counterelectrodes is parasitic on the data line. Consequently, since a load of a data-line drive circuit can be reduced, low-power-izing or improvement in the speed of a display action can be attained.

[0011] In this invention, the 1st drive circuit which outputs said picture signal to said data line with said two or more pixel fields, or the 2nd drive circuit which outputs said scan signal to said scanning line may be formed on said substrate. When such a formation field of a drive circuit has also countered with the

aforementioned counterelectrode, a big capacity will be parasitic also on a wiring layer formed in a drive circuit. However, in this invention, it can prevent that capacity formed between counterelectrodes is parasitic on a drive circuit by covering a drive circuit by bank layer. Consequently, since a load of a drive circuit can be reduced, low-powerizing or improvement in the speed of a display action can be attained.

[0012] In this invention, said organic-semiconductor film is a film formed in a field surrounded in said bank layer for example, by the ink jet method, and said bank layer is a water-repellent film for preventing a flash at the time of forming said organic-semiconductor film by the ink jet method. Moreover, thickness 1 micrometers or more may constitute said bank layer from a viewpoint of preventing a flash of said organic-semiconductor film, and in this case, even if said organic-semiconductor film is not water repellence, it functions as a septum.

[0013] In this invention, it is desirable that a field which laps with said 1st TFT and said 2nd TFT among formation fields of said pixel electrode is also covered in said bank layer. In this invention, among formation fields of a pixel electrode, in a formation field of said 1st TFT and a formation field of said 2nd TFT, and a field with which it laps, even if drive current flows between counterelectrodes and an organic-semiconductor film emits light to it, this light will be interrupted by the 1st TFT and 2nd TFT, and will not contribute to a display. Drive current which flows on an organic-semiconductor film in a portion which does not contribute to this display can be called reactive current seen from a field of a display. So, in this invention, if it is the former, a bank layer is formed in a portion into which such the reactive current should flow, and it prevents that drive current flows there. Consequently, since current which flows to a common feeder can make it small, if width of face of the part and a common feeder is narrowed, as the result, the part and luminescence area can be increased and display engine performance, such as brightness and a contrast ratio, can be raised.

[0014] It is desirable by constituting said bank layer from a black resist film by this invention to use it as a black matrix and to raise grace of a display. That is, in a display concerning this invention, if a counterelectrode is formed in the shape of a stripe over the whole surface of a pixel field, or a large field at least, the reflected light from a counterelectrode will reduce a contrast ratio. However, in this invention, since a bank layer which also bears a function for preventing parasitic capacitance was constituted from a black resist, it functions also as a black matrix. So, since a bank layer interrupts the reflected light from a counterelectrode, its contrast ratio improves.

[0015] In this invention, since drive current for driving a light emitting device of each pixel flows in a common feeder, big current flows as compared with the data line. Then, it is desirable to make resistance per unit length of said common feeder smaller than resistance per unit length of said data line, and to enlarge the current capacity in this invention. For example, said common feeder and said data line make line breadth of said common feeder larger than line breadth of said data line, when a material and thickness are the same.

[0016] In this invention, as for said common feeder, it is desirable that a pixel field where energization of said drive current is performed on both sides of said common feeder between these common feeders is arranged, and said data line is running along the opposite side to this pixel field. Namely, ** which repeats it for the data line which supplies a pixel signal to a pixel group linked to the data line, a pixel group linked to it, one common feeder, and it, and this pixel group in the installation direction of the scanning line as one unit. Thus, if constituted, it will end with one common feeder to a pixel for two trains. So, since a formation field of a common feeder can be narrowed as compared with a case where a common feeder is formed for every pixel group of one train, the part and luminescence area can be increased and display engine performance, such as brightness and a contrast ratio, can be raised.

[0017] Moreover, according to the above-mentioned configuration, since the two data lines will stand in a row, there is a possibility that a cross talk may occur among these data lines. Then, it is desirable to form a wiring layer in a location which corresponds between the two data lines in this invention. Thus, if constituted, since a wiring layer different from them passes between the two data lines, the above-mentioned cross talk can be prevented only by making such a wiring layer into fixed potential in 1 horizontal-scanning period of an image at least.

[0018] In this invention, if said organic-semiconductor film is formed by the ink jet method, it is desirable to make equal a pitch of a center of a formation field of said organic-semiconductor film also between which pixel fields which adjoin along the installation direction of said scanning line. Thus, since what is necessary is just to make a location at equal intervals breathe out a material of said organic-semiconductor film from an ink jet arm head along the installation direction of the scanning line when constituted, while a position control device is simple and ends, location precision improves.

[0019]

[Embodiment of the Invention] The gestalt of operation of this invention is explained with reference to a drawing.

[0020] (The whole active-matrix substrate configuration) Drawing 1 is the block diagram showing the layout of the whole indicating equipment typically.

[0021] As shown in this drawing, let a part for the center section of that base slack transparency substrate 10 be a display 2 in the display 1 of this gestalt. The data side drive circuit 3 (1st drive circuit) which outputs a picture signal to the both-ends side of the data line sig among the periphery portions of the transparency substrate 10, and the inspection circuit 5 are constituted, and the scan side drive circuit 4 (2nd drive circuit) which outputs a scan signal is constituted at the both-ends side of the scanning line gate. A complementary type TFT is constituted by TFT of N type, and TFT of P type, and this complementary type TFT constitutes the shift register, the level shifter, the analog switch, etc. from these drive circuits 3 and 4 by them. In addition, the pad 6 for mounting made into the terminal block for inputting a picture signal, and various kinds of potentials and a pulse signal is formed in the periphery field rather than the data side drive circuit 3 on the transparency substrate 10.

[0022] Like the active-matrix substrate of a liquid crystal display, two or more data lines sig installed in the direction which crosses on the transparency substrate 10 to the installation direction of two or more scanning lines gate and this scanning line gate are constituted, and two or more pixel fields 7 formed in the shape of a matrix by these data lines sig and scanning lines gate consist of indicating equipments 1 which carried out the such configuration.

[0023] 1st TFT20 by which a scan signal is supplied to all of these pixel fields 7 through the scanning line gate at the gate electrode 21 (1st gate electrode) as shown in drawing 2 is constituted. One side of this source drain field of TFT20 is electrically connected to the data line sig, and another side is electrically connected to the potential maintenance electrode st. To the scanning line gate, the parallel arrangement of the capacity line cline is carried out, and retention volume cap is formed between this capacity line cline and the potential maintenance electrode st. Therefore, if it is chosen by the scan signal and 1st TFT20 is turned on, a picture signal will be written in retention volume cap through 1st TFT20 from the data line sig.

[0024] The gate electrode 31 (2nd gate electrode) of 2nd TFT30 is electrically connected to the potential maintenance electrode st. While one side of the source drain field of 2nd TFT30 is electrically connected to the common feeder com, another side is electrically connected to one electrode (pixel electrode mentioned later) of a light emitting device 40. The common feeder com is held at constant potential. Therefore, when 2nd TFT30 is turned on, the current of the common feeder com flows to a light emitting device 40, and makes a light emitting device 40 emit light through 2nd TFT30.

[0025] However, on both sides of the common feeder com, the pixel field 7 which has the light emitting device 40 to which supply of drive current is performed between these common feeders com is arranged, and, as for the common feeder com, the two data lines sig pass along the opposite side by this gestalt to these pixel fields 7. That is, it is repeated for the data line sig which supplies a pixel signal to the pixel group linked to the data line sig, the pixel group linked to it, one common feeder com, and it, and this pixel group in the installation direction of the scanning line gate as one unit, and the common feeder com supplies drive current to the pixel for two trains by one. Therefore, since the formation field of the common feeder com is narrow, ends and can increase luminescence area as compared with the case where the common feeder com is formed for every pixel group of one train, display engine performance, such as brightness and a contrast ratio, can be raised. In addition, it will write as the configuration in which the pixel for two trains is connected to one common feeder com in this way, there will be the two data lines sig at a

time in the condition of standing in a row, and a picture signal will be supplied to the pixel group of each train.

[0026] (Configuration of a pixel field) The structure of each pixel field 7 of the display 1 constituted in this way is explained in full detail with reference to drawing 3 thru/or drawing 6 (A).

[0027] The plan which drawing 3 expands three pixel fields 7 in two or more pixel fields 7 currently formed in the display 1 of this gestalt, and is shown, drawing 4 , drawing 5 , and drawing 6 (A) are a cross section [in / in each / the A-A' line], a cross section in a B-B' line, and a cross section in a C-C' line.

[0028] First, in the location equivalent to the A-A' line in drawing 3 , as shown in drawing 4 , on the transparency substrate 10, the silicon film 200 of the shape of an island for forming 1st TFT20 in each of each pixel field 7 is formed, and the gate insulator layer 50 is formed in the surface. Moreover, the gate electrode 21 is formed in the surface of the gate insulator layer 50, and the source drain fields 22 and 23 where the high-concentration impurity was introduced in self align to this gate electrode 21 are formed. The data line sig and the potential maintenance electrode st are electrically connected to the source drain fields 22 and 23 through the contact holes 61 and 62 which the 1st interlayer insulation film 51 was formed in the surface side of the gate insulator layer 50, and were formed in this interlayer insulation film, respectively.

[0029] The capacity line cline is formed between the same layers as the scanning line gate and the gate electrode 21 (between the gate insulator layer 50 and the 1st interlayer insulation film 51), and the installation portion st1 of the potential maintenance electrode st has lapped through the 1st interlayer insulation film 51 to this capacity line cline so that it may stand in a row with the scanning line gate in each pixel field 7. For this reason, the capacity line cline and the installation portion st1 of the potential maintenance electrode st constitute the retention volume cap which uses the 1st interlayer insulation film 51 as a dielectric film. In addition, the 2nd interlayer insulation film 52 is formed in the potential maintenance electrode st and surface side of the data line sig.

[0030] In the location equivalent to the B-B' line in drawing 3 , as shown in drawing 5 , it is in the condition that the two data lines sig corresponding to each pixel field 7 stand in a row on the surface of the 1st interlayer insulation film 51 formed on the transparency substrate 10, and the 2nd interlayer insulation film 52.

[0031] In the location equivalent to the C-C' line in drawing 3 , as shown in drawing 6 (A), on the transparency substrate 10, the silicon film 300 of the shape of an island for forming 2nd TFT30 so that two pixel fields 7 which face across the common feeder com may be straddled is formed, and the gate insulator layer 50 is formed in the surface. Moreover, the gate electrode 31 is formed in each of each pixel field 7, respectively, and the source drain fields 32 and 33 where the high-concentration impurity was introduced in self align to this gate electrode 31 are formed in the surface of the gate insulator layer 50 so that it may face across the common feeder com. The junction electrode 35 is electrically connected to the source drain field 62 through the contact hole 63 which the 1st interlayer insulation film 51 was formed in the surface side of the gate insulator layer 50, and was formed in this interlayer insulation film. On the other hand, to the portion which serves as the common source drain field 33 in two pixel fields 7 of the center of the silicon film 300, the common feeder com is electrically connected through the contact hole 64 of the 1st interlayer insulation film 51. The 2nd interlayer insulation film 52 is formed in the surface of these common feeders com and the junction electrode 35. The pixel electrode 41 which consists of an ITO film is formed in the surface of the 2nd interlayer insulation film 52. It connects with the junction electrode 35 electrically through the contact hole 65 formed in the 2nd interlayer insulation film 52, and this pixel electrode 41 is electrically connected to the source drain field 32 of 2nd TFT30 through the junction electrode 35.

[0032] Here, the pixel electrode 41 constitutes one electrode of a light emitting device 40. That is, the laminating of the hole-injection layer 42 and the organic-semiconductor film 43 is carried out to the surface of the pixel electrode 41, and the counterelectrode op which consists of metal membranes, such as lithium content aluminum and calcium, is further formed in the surface of the organic-semiconductor film 43. This counterelectrode op is a common electrode formed the shape of the whole surface or a stripe of

the pixel field 41 at least, and is held at fixed potential.

[0033] Thus, in the constituted light emitting device 40, as it considers as a positive electrode and a negative electrode, respectively, voltage is impressed and Counterelectrode op and the pixel electrode 41 are shown in drawing 7, the current (drive current) which flows on the organic-semiconductor film 43 in the field in which applied voltage exceeded threshold voltage increases rapidly. Consequently, a light emitting device 40 emits light as an electroluminescent element or an LED element, it is reflected by Counterelectrode op, and the light of a light emitting device 40 penetrates the transparent pixel electrode 41 and the transparency substrate 10, and outgoing radiation is carried out.

[0034] The drive current for performing such luminescence will not flow, if 2nd TFT30 is turned off in order to flow Counterelectrode op, the organic-semiconductor film 43, the hole-injection layer 42, the pixel electrode 41, 2nd TFT30, and the current path that consists of common feeders com. However, in the indicating equipment 1 of this gestalt, if it is chosen by the scan signal and 1st TFT20 is turned on, a picture signal will be written in retention volume cap through 1st TFT20 from the data line sig. Therefore, since the gate electrode of 2nd TFT30 is held at the potential which is equivalent to a picture signal with retention volume cap even if 1st TFT20 is turned off, 2nd TFT30 is still an ON state. So, drive current continues flowing to a light emitting device 40, and this pixel is still a lighting condition. New image data is written in retention volume cap, and this condition is maintained until 2nd TFT30 is turned off.

[0035] (The manufacture method of a display) By the manufacture method of the display 1 constituted in this way, since the production process until it manufactures the 1st TFT20 and 2nd TFT30 on the transparency substrate 10 is the same as that of the production process and abbreviation which manufacture the active-matrix substrate of a liquid crystal display 1, the outline is explained with reference to drawing 8.

[0036] Drawing 8 is the production process cross section showing typically the process which forms each component of a display 1.

[0037] That is, as shown in drawing 8 (A), the substrate protective coat (not shown) which thickness becomes from the silicon oxide which is about 2000-5000A by the plasma-CVD method by making TEOS (tetra-ethoxy silane), oxygen gas, etc. into material gas is formed to the transparency substrate 10 if needed. Next, the temperature of a substrate is set as about 350 degrees C, and the semiconductor film 100 which thickness becomes from the amorphous silicon film which is about 300-700A by the plasma-CVD method is formed in the surface of a substrate protective coat. Next, to the semiconductor film 100 which consists of an amorphous silicon film, crystallization production processes, such as laser annealing or a solid phase grown method, are performed, and the semiconductor film 100 is crystallized on a polish recon film. the Rhine beam whose long ** of a beam is 400mm in excimer laser by the laser annealing method, for example -- using -- the output reinforcement -- for example, 200 mJ/cm² it is . The Rhine beam is scanned so that the portion which is equivalent to 90% of the peak value of the laser reinforcement in the short ***** about the Rhine beam may lap for every field.

[0038] Next, as shown in drawing 8 (B), the gate insulator layer 50 which patterning of the semiconductor film 100 is carried out, it considers as the island-like semiconductor film 200,300, and thickness becomes from the silicon oxide or the nitride which is about 600-1500A by the plasma-CVD method to the surface by making TEOS (tetra-ethoxy silane), oxygen gas, etc. into material gas is formed.

[0039] Next, as shown in drawing 8 (C), after forming the electric conduction film which consists of metal membranes, such as aluminum, a tantalum, molybdenum, titanium, and a tungsten, by the spatter, patterning is carried out and the gate electrodes 21 and 31 are formed (gate electrode formation production process). At this production process, the scanning line gate and the capacity line cline are formed. In addition, 310 are the installation portion of the gate electrode 31 among drawing.

[0040] In this condition, high-concentration phosphorus ion is driven in and the source drain fields 22, 23, 32, and 33 are formed in the silicon thin film 200,300 in self align to the gate electrodes 21 and 31. In addition, the portion into which an impurity was not introduced serves as the channel fields 27 and 37.

[0041] Next, as shown in drawing 8 (D), after forming the 1st interlayer insulation film 51, contact holes 61, 62, 63, 64, and 69 are formed, and the potential maintenance electrode st, the common feeder com, and the

junction electrode 35 equipped with the installation portion st1 which laps with the installation portions 310 of data-line sig, the capacity line cline, and the gate electrode 31 are formed. Consequently, the potential maintenance electrode st is electrically connected to the gate electrode 31 through a contact hole 69 and the installation portion 310. Thus, the 1st TFT20 and 2nd TFT30 are formed. Moreover, retention volume cap is formed of the capacity line cline and the installation portion st1 of the potential maintenance electrode st.

[0042] Next, as shown in drawing 8 (E), the 2nd interlayer insulation film 52 is formed and a contact hole 65 is formed in the portion which is equivalent to the junction electrode 35 at this interlayer insulation film. Next, after forming an ITO film in the whole surface of the 2nd interlayer insulation film 52, patterning is carried out and the pixel electrode 41 connected electrically is formed in the source drain field 32 of 2nd TFT30 through a contact hole 65.

[0043] Next, as shown in drawing 8 (F), after forming a black resist layer in the surface side of the 2nd interlayer insulation film 52, it leaves so that the field which should make this resist a luminescence field by forming the hole-injection layer 42 and the organic-semiconductor film 43 of a light emitting device 40 may be surrounded, and the bank layer bank is formed. Here, when being formed independently in box-like for every pixel, even if the organic-semiconductor film 43 is which [in the case of being formed in the shape of a stripe along with the data line sig etc.] case, it only forms the bank layer bank in the configuration corresponding to it, and can apply the manufacture method concerning this gestalt.

[0044] Next, the hole-injection layer 42 is formed in discharge and the inside field of the bank layer bank for the liquefied material (precursor) for constituting the hole-injection layer 42 from an ink jet arm head IJ to the inside field of the bank layer bank. Similarly, the organic-semiconductor film 43 is formed in discharge and the inside field of the bank layer bank for the liquefied material (precursor) for constituting the organic-semiconductor film 43 from an ink jet arm head IJ to the inside field of the bank layer bank. Here, since the bank layer bank consists of resists, it is water repellence. On the other hand, since the precursor of the organic-semiconductor film 43 uses the solvent of hydrophilicity, the spreading field of the organic-semiconductor film 43 does not overflow into the pixel which is specified certainly and adjoins by the bank layer bank. So, the organic-semiconductor film 43 etc. can be formed only in a predetermined field. However, if the septum which consists of a bank layer bank beforehand is about 1 micrometer in height, even if the bank layer bank is not water repellence, the bank layer bank will fully function as a septum. In addition, if the bank layer bank is formed, it replaces with the ink jet method, and even when forming the hole-injection layer 42 and the organic-semiconductor film 43 by the applying method, the formation field can be specified.

[0045] Thus, with this gestalt, in forming the organic-semiconductor film 43 and the hole-injection layer 42 by the ink jet method, in order to raise the working efficiency, as shown in drawing 3, the pitch P of the center of the formation field of said organic-semiconductor film 43 is made equal also between which pixel fields 7 which adjoin along the installation direction of the scanning line gate. Therefore, since what is necessary is just to carry out the regurgitation of the material of the organic-semiconductor film 43 etc. to a location at equal intervals from the ink jet arm head IJ along the installation direction of the scanning line gate as an arrow head Q shows, there is an advantage that working efficiency is good. Moreover, it also becomes easy by saying that it is good by migration of pitches [arm head / IJ / ink jet] for the migration device of the ink jet arm head IJ to become simple, and to raise the placing precision of the ink jet arm head IJ.

[0046] As shown in drawing 8 (G), as opposed to the whole surface of the transparency substrate 10, Counterelectrode op is formed in after an appropriate time in the shape of a stripe. In addition, about the bank layer bank, since it consists of black resists, it leaves as it is, and it uses as an insulating layer for reducing the black matrix BM and parasitic capacitance so that it may explain below.

[0047] In addition, although TFT is formed also in the data side drive circuit 3 shown in drawing 1, or the scan side drive circuit 4, these TFT(s) use all or a part of production processes which forms TFT in the aforementioned pixel field 7, and are performed. So, TFT which constitutes a drive circuit will also be formed between the same layers as TFT of the pixel field 7.

[0048] Moreover, about said 1st TFT20 and 2nd TFT30, since N type and both sides can form TFT by the well-known method even if P type and one side are which such combination in N type, although any of P type are sufficient as another side, both sides omit the explanation.

[0049] In addition, as a light emitting device 40, although luminous efficiency (rate of a hole injection) falls a little, the hole-injection layer 42 may be excluded. Moreover, when replacing with the hole-injection layer 42 and forming an electron injection layer in the opposite side in the hole-injection layer 42 to the organic-semiconductor film 43, the both sides of the hole-injection layer 42 and an electron injection layer may be formed.

[0050] (Formation field of a bank layer) With this gestalt, the aforementioned bank layer bank (the slash is given to the formation field.) is formed to all the boundary regions of the transparency substrate 10 shown in drawing 1. Therefore, the data side drive circuit 3 and the scan side drive circuit 4 are all covered with the bank layer bank. For this reason, even if it is in the condition that Counterelectrode op laps to the formation field of these drive circuits, the bank layer bank will intervene between the wiring layer of a drive circuit, and Counterelectrode op. So, since it can prevent that capacity is parasitic on the drive circuits 3 and 4, the load of the drive circuits 3 and 4 can be reduced and low-power-izing or improvement in the speed of a display action can be attained.

[0051] Moreover, with this gestalt, as shown in drawing 3 thru/or drawing 5, the bank layer bank is formed so that it may lap with the data line sig. Therefore, since the bank layer bank will intervene between the data line sig and Counterelectrode op, it can prevent that capacity is parasitic on the data line sig. Consequently, since the load of the data side drive circuit 3 can be reduced, low-power-izing or improvement in the speed of a display action can be attained.

[0052] Furthermore, with this gestalt, as shown in drawing 3, drawing 4, and drawing 6 (A), the bank layer bank is formed also in the field which laps with the junction electrode 35 among the formation fields of the pixel electrode 41. If there is no bank layer bank in the field which laps with the junction electrode 35 as shown in drawing 6 (B) for example, even if drive current flows between Counterelectrodes op and the organic-semiconductor film 43 emits light to it, this light will be inserted between the junction electrode 35 and Counterelectrode op, and outgoing radiation will not be carried out outside, and it will not contribute to a display. The drive current which flows in the portion which does not contribute to this display can be called reactive current seen from the field of a display. However, with this gestalt, since it prevents that form the bank layer bank in the portion into which such the reactive current should flow, and drive current flows there if it is the former, it can prevent that useless current flows to the common feeder com. So, the width of face of the common feeder com may be narrow that much.

[0053] For example, with this gestalt, unlike the data line sig, the big current for driving a light emitting device 40 flows in the common feeder com, and, moreover, drive current is supplied to it to the pixel for two trains. So, although constituted from the same material as the data line sig by the common feeder com, since the line breadth is set up more widely than the line breadth of the data line sig, the resistance per unit length of the common feeder com is smaller than the resistance per unit length of the data line sig. With this gestalt, since it has considered as necessary minimum line breadth about the line breadth of the common feeder com by suppressing that the aforementioned reactive current flows to the common feeder com, the luminescence area of the pixel field 7 can be increased and display engine performance, such as brightness and a contrast ratio, can still be raised.

[0054] Moreover, if the bank layer bank is formed as mentioned above, the bank layer bank will function as a black matrix, and its grace of displays, such as a contrast ratio, will improve. That is, in the display 1 concerning this gestalt, since Counterelectrode op is formed in the surface side of the transparency substrate 10 in the shape of a stripe over the whole surface of the pixel field 7, or a large field, the reflected light in Counterelectrode op reduces a contrast ratio. However, with this gestalt, since the bank layer bank which also bears the function for preventing parasitic capacitance was constituted from a black resist, the bank layer bank functions also as a black matrix and the reflected light from Counterelectrode op is interrupted, a contrast ratio improves.

[0055] The pixel field 7 where drive current flows between these common feeders com to each of the both

sides of the common feeder com is arranged, to this pixel field 7, the two data lines sig arrange said common feeder com in parallel, and it passes along the opposite side by the [example of amelioration of above-mentioned gestalt] above-mentioned gestalt. Therefore, there is a possibility that a cross talk may occur between the two data lines sig. Then, with this gestalt, as shown in drawing 9, drawing 10 (A), and (B), the dummy wiring layer DA is formed in the location which corresponds between the two data lines sig. As a wiring layer DA of this dummy, the ITO film DA 1 by which coincidence formation was carried out with the pixel electrode 41 can be used, for example. Moreover, as a dummy wiring layer DA, the installation portion DA 2 from the capacity line cline may be constituted between the two data lines sig. These both sides may be used as a dummy wiring layer DA.

[0056] Thus, if constituted, since the wiring layer DA different from them passes between the two data lines sig arranged in parallel, such a wiring layer DA (DA1, DA2) is only made into fixed potential within 1 horizontal-scanning period of an image at least, and the above-mentioned cross talk can be prevented. That is, to thickness being about 1.0 micrometers, since the gap of the two data lines [two] sig is about 2 micrometers or more, the 1st interlayer insulation film 51 and 2nd interlayer insulation film 52 can fully disregard the capacity constituted between the two data lines sig as compared with the capacity constituted between each data line sig and the dummy wiring layer DA (DA1, DA2). So, since the signal of high frequency which leaked from the data line sig is absorbed by the dummy wiring layer DA, the cross talk between the two data lines sig can be prevented.

[0057] [other gestalten] — in addition, although the capacity line cline (capacity electrode) was formed in constituting retention volume cap, as the conventional technology explained, retention volume cap may consist of above-mentioned gestalten using the polish recon film for constituting TFT.

[0058] Moreover, as shown in drawing 11, retention volume cap may be constituted between the common feeder com and the potential maintenance electrode st. In this case, what is necessary is to extend the installation portion 310 of the gate electrode 31 for connecting electrically the potential maintenance electrode st and the gate electrode 31 even to the lower layer side of the common feeder com, and just to constitute the retention volume cap which uses as a dielectric film the 1st interlayer insulation film 51 with which it is located between this installation portion 310 and common feeder com, as shown in drawing 12 (A) and (B).

[0059]

[Effect of the Invention] As explained above, in the indicating equipment concerning this invention, it has the feature to make the insulating bank layer which specifies the formation field of the organic-semiconductor film which constitutes a light emitting device intervene between the data line and a counterelectrode or between a drive circuit and a counterelectrode. Therefore, even if it forms a counterelectrode so that it may lap with the data line or a drive circuit, it can prevent that capacity is parasitic on the wiring layer of the data line or a drive circuit. So, while being able to reduce the load of a drive circuit, high-frequency-ization of a picture signal can be attained.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] They are the indicating equipment which applied this invention, and explanatory drawing showing typically the formation field of the bank layer formed in it.

[Drawing 2] It is the block diagram of the indicating equipment which applied this invention.

[Drawing 3] It is the plan expanding and showing the pixel field of the display which applied this invention.

[Drawing 4] It is a cross section in the A-A' line of drawing 3.

[Drawing 5] It is a cross section in the B-B' line of drawing 3.

[Drawing 6] A cross section [in / in (A) / the C-C' line of drawing 3] and (B) are the cross sections of the structure which does not extend the formation field of a bank layer until it covers a junction electrode.

[Drawing 7] It is the graph which shows the I-V property of the light emitting device used for the display shown in drawing 1.

[Drawing 8] It is the production process cross section showing the manufacture method of the display which applied this invention.

[Drawing 9] It is the block diagram showing the example of amelioration of the indicating equipment shown in drawing 1.

[Drawing 10] The cross section showing the wiring layer of the dummy formed in the display which shows (A) to drawing 9, and (B) are the plan.

[Drawing 11] It is the block diagram showing the modification of the indicating equipment shown in drawing 1.

[Drawing 12] The plan which (A) expands the pixel field formed in the display shown in drawing 11, and is shown, and (B) are the cross section.

[Drawing 13] It is the block diagram of the conventional indicating equipment.

[Drawing 14] The plan which (A) expands the pixel field formed in the display shown in drawing 13, and is shown, and (B) are the cross section.

[Description of Notations]

1 Display

2 Display

3 Data Side Drive Circuit (1st Drive Circuit)

4 Scan Side Drive Circuit (2nd Drive Circuit)

5 Inspection Circuit

6 Pad for Mounting

7 Pixel Field

10 Transparency Substrate

20 1st TFT

21 Gate Electrode of 1st TFT

30 2nd TFT

31 Gate Electrode of 2nd TFT

40 Light Emitting Device

41 Film Pixel Electrode

42 Hole-Injection Layer

43 Organic-Semiconductor Film
50 Gate Insulator Layer
51 1st Interlayer Insulation Film
52 2nd Interlayer Insulation Film
DA Dummy wiring layer
bank Bank layer
cap Retention volume
cline Capacity line
com Common feeder
gate Scanning line
op Counterelectrode
sig Data line
st Potential maintenance electrode

[Translation done.]